

GMM

VDE/VDI-GESELLSCHAFT
MIKROELEKTRONIK,
MIKRO- UND FEINWERKTECHNIK



Programm

ANALOG '08

Entwicklung von Analogschaltungen
mit CAE-Methoden

Schwerpunkt:

Constraint-basierte Entwurfsmethoden

10. GMM/ITG-Fachtagung

2. – 4. April 2008

Siegen



www.analog08.de

ITG



VDE

Vorwort

Der Entwurf von Analogschaltungen stellt höchste Anforderungen an Entwicklungsingenieure und an die von ihnen verwendeten Entwurfsmethoden und -werkzeuge. Die ANALOG'08 dient dem Informationsaustausch zwischen System- und Halbleiterherstellern, Forschungseinrichtungen und der EDA-Industrie. Sie vermittelt den Fachleuten Ideen und Wissen durch die Präsentation von Forschungsergebnissen sowie durch die Diskussion von neuen Herausforderungen und Lösungsansätzen.

Die ANALOG'08 will die fachlichen Kontakte im deutschsprachigen Raum fördern. Sie bietet besonders dem wissenschaftlichen Nachwuchs und jungen Entwicklungsingenieuren die Möglichkeit, dieses Podium für die Präsentation eigener Forschungs- und Entwicklungsarbeiten zu nutzen.

Analoge Schaltungstechnik spielt für zahlreiche Unternehmen, darunter Automobilhersteller oder die Kommunikationsindustrie, speziell in Europa eine zentrale Rolle. Der Einsatz immer anspruchsvoller Technologien und die Forderung nach Robustheit und Zuverlässigkeit bei komplexer werdenden Aufgaben erfordern angepasste Entwurfsmethoden für Analog- und Mixed-Signal-Schaltungen. Die Berücksichtigung vielfältiger und komplexer Constraints auf allen Entwurfsebenen ist dabei von entscheidender Bedeutung. Daher lautet der Themenschwerpunkt diesmal:

Constraint-basierte Entwurfsmethoden

Wir laden Sie ein, die neuesten Ergebnisse von Forschungs- und Entwicklungsprojekten im Rahmen der ANALOG'08 in Vortrags- und Posterbeiträgen, Tutorials, eingeladenen Vorträgen und im CAD- und Anwenderforum kennenzulernen.

Auf Wiedersehen in Siegen!

Prof. Dr. rer. nat. Rainer Brück

Dr.-Ing. Kai Hahn

Veranstalter

VDE/VDI-Gesellschaft Mikroelektronik, Mikro- und Feinwerk-
technik (GMM),
Informationstechnische Gesellschaft im VDE (ITG)

Tagungsleitung, Programmkomitee

Erweiterte Tagungsleitung

Rainer Brück	Universität Siegen, Wissenschaftliche Tagungsleitung
Kai Hahn	Universität Siegen, Organisatorische Tagungsleitung
Lars Hedrich	Johann Wolfgang Goethe Universität, Frankfurt
Helmut Gräß	Technische Universität München
Sebastian Sattler	Infineon Technologies AG, Neubiberg

Programmkomitee:

Walter Anheier	Universität Bremen
Rainer Brück	Universität Siegen
Jürgen Büddefeld	Hochschule Niederrhein
Wolfram Glauert	Friedrich-Alexander-Universität Erlangen-Nürnberg
Helmut Gräß	Technische Universität München
Christoph Grimm	Technische Universität Wien
Kai Hahn	Universität Siegen
Walter Hartong	Cadence Design Systems GmbH, Feldkirchen
Lars Hedrich	Johann Wolfgang Goethe Universität Frankfurt
Ewald Hessel	Hella KGaA Hueck & Co., Lippstadt
Sorin Alexander Huss	Technische Universität Darmstadt
Peter Jores	Robert Bosch GmbH, Reutlingen
Jürgen Kampe	Technische Universität Ilmenau
Haybatolah Khakzar	Hochschule Esslingen
Christian Lang	IMMS gGmbH, Erfurt
Rainer Laur	Universität Bremen
Jens Lienig	Technische Universität Dresden
Yiannos Manoli	Albert-Ludwigs-Universität Freiburg

Wolfgang Mathis	Gottfried Wilhelm Leibniz Universität Hannover
Volker Meyer zu Bexten	Infineon Technologies AG, Neubiberg
Markus Olbrich	Gottfried Wilhelm Leibniz Universität Hannover
Laszlo Palotas	Fachhochschule Wiesbaden
Steffen Paul	Universität Bremen
Ralf Popp	edacentrum GmbH, Hannover
Irmtraud Rugen-Herzig	Infineon Technologies AG, Neubiberg
Sebastian Sattler	Infineon Technologies AG, Neubiberg
Jürgen Scheible	Robert Bosch GmbH, Reutlingen
Peter Schwarz	Fraunhofer Institut für Integrierte Schaltungen / Entwurfsauto- matisierung, Dresden
Ralf Sommer	Technische Universität Ilmenau
Bernd Straube	Fraunhofer Institut für Integrierte Schaltungen / Entwurfsauto- matisierung, Dresden
Reinhold Vahrman	Atmel Germany GmbH, Heilbronn
Heinrich Theo Vierhaus	Brandenburgische Technische Universität Cottbus
Uwe Vogel	Fraunhofer Institut für Photonische Mikrosysteme, Dresden
Klaus Waldschmidt	Johann Wolfgang Goethe Universität Frankfurt
Robert Weigel	Friedrich-Alexander-Universität Erlangen-Nürnberg

Informationen zur Tagung

Website www.analog08.de

VDE/VDI-Gesellschaft Mikroelektronik, Mikro- und Feinwerk-
technik (GMM)

Ansprechpartner:
Dr.-Ing. Ronald Schnabel
Stresemannallee 15
60596 Frankfurt

Tel.: 069 / 6308 - 227, -330
Fax: 069 / 6308 - 9828
E-Mail: gmm@vde.com

Programm zur Fachtagung
ANALOG '08
Entwicklung von Analogschaltungen mit
CAE-Methoden

Mittwoch, 2. April 2008

15:00 **Registrierung, Kaffee**

Tutorials (parallel)

16:00 **Modellierungsansätze zur Systemsimulation**

*Ewald Hessel, Hella KGaA, Lippstadt,
Joachim Haase, Fraunhofer IIS/EAS, Dresden,
Heinz-Theo Mammen, Hella KGaA, Lippstadt*

Es werden Anforderungen und Ansätze für die System-simulation diskutiert. In diesem Zusammenhang wird auf

- *Modellierungsansätze für den Top-Down-Entwurf* (Netzwerkmodelle, Signalflussmodelle u.a.),
- *Umsetzung der Modellierungsansätze mit unterschiedlichen Verhaltensbeschreibungsansätzen* (Modellierung mit Modelica, Matlab/Simulink u. a.),
- *Modellierungstechniken* (Parameteridentifikation, Ordnungsreduktion u.a.)

an Hand von Beispielen eingegangen.

Spezielle Modellierungsaspekte, wie die Berücksichtigung von Parameterschwankungen und die Verwendung von Bibliotheken für die Systemsimulation, werden erläutert. An Hand von Praxisbeispielen werden Probleme bei der Einbeziehung von Software in die Simulation und der Erstellung echtzeitfähiger Modelle aufgezeigt.

**16:00 Moderne Verifikationsmethoden im
Analogschaltungsentwurf¹**

L. Hedrich, Johann Wolfgang Goethe Universität, Frankfurt

H. Gräß, Technische Universität München

Das Tutorial gliedert sich in 2 Teile:

*Von der Dimensionierung zur Pareto-Optimierung -
Verifikation von Schaltungseigenschaften mittels
numerischer Optimierung*

Rechnergestützte Lösungsverfahren und Werkzeuge für den Analogschaltungsentwurf können zu einem wesentlichen Mittel der Verifikation werden. Indem sie zur systematischen Untersuchung verschiedenster Schaltungsaspekte wie Performanz, Robustheit und Ausbeute eingesetzt werden, erfolgt eine Verifikation der Entwurfsvollständigkeit und -korrektheit bei einer gleichzeitigen Nachoptimierung der Schaltung. In diesem Teil des Tutorials werden hierfür Aufgabenstellungen der Eigenschaftsverifikation herausgearbeitet. Es werden Problembeschreibungen und Lösungsansätze vorgestellt und Querbezüge zu korrespondierenden Entwurfsaufgaben hergestellt.

*Formale Methoden für die Analogschaltungsentwicklung -
Mit neuen Verfahren die Entwurfssicherheit erhöhen*

Der zweite Teil des Tutorials entwickelt nach einer knappen, einführenden Darstellung der formalen Verifikation digitaler Schaltungen Methoden für die formale Verifikation von Timed Automata und hybriden Systemen bis hin zu analogen Schaltungen.

Für diese werden die Modellierungs- und Verifikationsmethoden, beginnend mit Assertion-Based Verification bis hin zu Äquivalenz- und Eigenschaftsvergleichen (Equivalence Checking, Model Checking) vorgestellt. Beispiele verdeutlichen die Zusammenhänge.

Ein abschließender Vergleich und eine Bewertung der vorgestellten Methoden erlauben eine Beurteilung der Einsatzmöglichkeiten.

18:00 Ende der Tutorials

Donnerstag, 3. April 2008

8:00 **Registrierung**

9:00 **Grußworte und Tagungseröffnung**

*Prof. Dr. R. Brück,
Wissenschaftlicher Tagungsleiter
Prof. Dr. R. Schnell,
Rektor der Universität Siegen
F.-J. Mockenhaupt,
Hauptgeschäftsführer IHK Siegen*

Schaltungen und Systeme

Sitzungsleitung:

*V. Meyer zu Bexten, Infineon Technologies AG,
Neubiberg*

9:30 **Eingeladener Vortrag:**

**Mixed Signal ICs - Die erfolgreiche
Geschäftsidee der ELMOS AG**

*K. Weyer, ELMOS Semiconductor AG,
Dortmund*

10:15 **Silicon Based Circuit Design for mm Wave
and THz Applications**

*E. Öjefors, U. Pfeiffer, Institut für
Höchstfrequenztechnik und Quantenelektronik,
Universität Siegen*

10:40 **A Multimode Shared RF Low-Power Receiver
Front-End Architecture for Satellite Based
Navigation in 90 nm CMOS**

*A. Kruth, S. Joeres, A. Neyer, M. Robens,
H. Erkens, S.-B. Kim, D. Bormann, T. D. Werth,
N. Zimmermann, R. Wunderlich, S. Heinen,
Lehrstuhl für Integrierte Analogschaltungen,
RWTH Aachen*

11:05 – 11.45 **Getränkepause**

Verifikation und Simulation

Sitzungsleitung:

P. Jores, Robert Bosch GmbH, Reutlingen

11:45 A Formal Approach to Complete State Space-Covering Input Stimuli Generation for Verification of Analog Systems¹

S. Steinhorst, L. Hedrich, Entwurfsmethodik, Institut für Informatik, Johann Wolfgang Goethe Universität Frankfurt/Main

12:10 AC-Analyse analoger Schaltungen mit affiner Arithmetik¹

D. Grabowski, M. Olbrich, E. Barke, Institut für Mikroelektronische Systeme, Gottfried Wilhelm Leibniz Universität Hannover

12:35 – 14.00 Mittagsimbiss

Constraint-Modellierung

Sitzungsleitung:

J. Lienig, Technische Universität Dresden

**14:00 Eingeladener Vortrag:
22nm und was dann? - Herausforderungen und Entwicklungsstrategien für die Halbleitertechnologie**

K. Simon, ASML Netherlands B.V., Veldhoven, Niederlande

14:45 Dimensionierungsregeln für analoge Bipolar-schaltungen

T. Massier, H. Gräß, Lehrstuhl für Entwurfsautomatisierung, Fakultät für Elektrotechnik und Informationstechnik, Technische Universität München

15:10 Kompensation schneller Transimpedanzverstärker durch automatische Schaltungsstrukturmodifikation basierend auf symbolischer Schaltungsanalyse

D. Krausse, E. Schäfer, R. Sommer, Technische Universität Ilmenau und IMMS gGmbH, Ilmenau/Erfurt

Postersession

15:35 Posterpräsentationen im Erdgeschoss

Modellierung

Sitzungsleitung:

B. Straube, Fraunhofer Institut für Integrierte Schaltungen / Entwurfsautomatisierung, Dresden

16:45 A Behavioral PLL Model with Timing Jitter due to White and Flicker Noise Sources³

S. Höppner, S. Henker, R. Schüffny, Technische Universität Dresden, Fakultät für Elektrotechnik und Informationstechnik, Professur für Hochparallele VLSI-Systeme und Neuromikroelektronik

17:10 Generierung effizienter Verhaltensmodelle mittels Modellkompilierung und Modellreduktion¹

C. Knoth, Technische Universität München, D. Platte, Qimonda AG, Neubiberg, T. Halfmann, J. Broz, Fraunhofer ITWM, Kaiserslautern, P. Rotter, Infineon Technologies AG, Neubiberg

18:30 Abfahrt zur Abendveranstaltung

Ab 19.00 Uhr findet in den Räumen der Krombacher Brauerei, in Kreuztal-Krombach die Abendveranstaltung statt.

Geplant ist eine Besichtigung der Brauerei mit anschließendem Abendessen in der Braustube.

Der Bustransfer startet um 18.30 Uhr am Parkhotel und am Ramada-Hotel. Die Rückfahrt wird gegen 23.00 Uhr erfolgen.

Freitag, 4. April 2008

8:30 **Registrierung**

Constraint-basierte Synthese

Sitzungsleitung:

*C. Nippert, Infineon Technologies AG,
Neubiberg*

9:00 **Eingeladener Vortrag:**

**Constraint-driven Design - eine Wegskizze
zum Designflow der nächsten Generation**

J. Scheible, Robert Bosch GmbH, Reutlingen

9:45 **Constraint-geführte Floorplan-Generierung
von integrierten Analog- und Mixed-Signal-
Schaltungen⁴**

*A. Nassaj, J. Lienig, Institut für Feinwerktechnik
und Elektronik-Design, Technische Universität
Dresden, G. Jerke, J. Freuer, Robert Bosch
GmbH, Reutlingen*

10:10 **Pareto-Optimierung analoger Schaltungen
mit Parametertoleranzen¹**

*H. Gräß, D. Müller-Gritschneider,
U. Schlichtmann, Lehrstuhl für
Entwurfsautomatisierung, Technische
Universität München*

Postersession

10:35 **Posterpräsentationen im Erdgeschoss**

Test

Sitzungsleitung:

*W. Glauert, Friedrich-Alexander-Universität
Erlangen*

**11:45 Optimaler hochauflösender Spektral-
analysator**

*A. Tchegho, Lehrstuhl für Entwurfs-
automatisierung, Technische Universität
München, H. Mattes, S. Sattler, Infineon
Technologies AG, Neubiberg*

**12:10 Entwurf einer elektronischen Last für den
Test von Spannungsreglern**

*C. Zemko, J. Mejri, S. Sattler, Infineon
Technologies AG, Neubiberg, W. Mathis,
Gottfried Wilhelm Leibniz Universität Hannover*

**12:35 Fehleranalyse für DRAM Teilschaltungen
durch Extraktion von Layout Parasitics²**

*M. Versen, J. Knežević, S. M. Montoya,
Qimonda AG, Neubiberg, T. Coym,
W. Vermeiren, B. Straube, Fraunhofer-Institut
für Integrierte Schaltungen,
Entwurfsautomatisierung, Dresden*

13:00 Preisverleihung

*Auszeichnung der besten Beiträge in den
Kategorien Vortrag und Poster*

13:15 – 14.15 Mittagsimbiss

14:15 Ende der Fachtagung

**Die Indizes bei den Titeln der Vorträge und Poster
verweisen auf Beiträge im Rahmen von Förderprojekten:**

- 1 **VeronA** - Verifikation analoger Schaltungen
gefördert vom Bundesministerium für Bildung und
Forschung
- 2 **RealTest** - Test und Zuverlässigkeit
nanoelektronischer Systeme gefördert von der
Deutschen Forschungsgemeinschaft

- 3 **FACETS** - *Fast Analog Computing with Emergent Transient States* gefördert von der Europäischen Kommission
- 4 **Leonidas+** *Leibahnorientierter Entwurf appli- kationsspezifischer Schaltungen* gefördert vom Bundesministerium für Bildung und Forschung
- 5 **COSMOS** - *Community Online Services and MOBILE Solutions* gefördert vom Bundesminis- terium für Bildung und Forschung
- 6 **MAYA** - *Neue Methoden für den massiv-parallel Test im Hochvolumen, Yield Learning und beste Testqualität* gefördert vom Bundesministerium für Bildung und Forschung

Poster

Schaltungen und Systeme

**Monolithische Integration von organischen
Leuchtdioden und Photodioden auf einem
Chip für Sensorikanwendungen**

*D. Kreye, U. Vogel, G. Bunk, S. Reckziegel,
M. Törker, J. Amelung, Fraunhofer IPMS,
Dresden*

**Ein integrierter Sensor zur Positions-
bestimmung weit entfernter Lichtquellen auf
SOI-Basis**

*C. Koch, J. Oehm, J. Emde, Ruhr-Universität
Bochum, Arbeitsgruppe Schaltungstechnik,
W. Budde, ELMOS Semiconductor AG,
Dortmund*

**Plug&Play-fähige Signalaufbereitung und
-wandlung von Messdaten mit IEEE 1451.4
kompatiblen Sensoren unter Verwendung
eines programmierbaren Mixed-Signal-
Schaltkreises**

*O. Reimer, J. Kampe, FG. Elektronische
Schaltungen und Systeme, Technische
Universität Ilmenau*

**Full-Custom-Design eines RFID-
Transponders in Polymer-Elektronik⁵**

*J. Essel, A. Amar, W. Schirmer, W. H. Glauert,
Lehrstuhl für Rechnergestützten Schaltungs-
entwurf, Friedrich Alexander Universität
Erlangen*

**Design Optimization Methodology for
Voltage Reference**

*H. M. Lamine, D. Zohir, Laboratoire
d'Electronique Avancée, Département
d'Electronique, Université de Batna, Algerien,
J. Boris, O. Manck, Institut für Technische
Informatik und Mikroelektronik, Technische
Universität Berlin*

Verifikation und Simulation

Implementation of DC-Fault Diagnosis Networks in Standard Circuit Simulators

T. Coym, Fraunhofer-Institut für Integrierte Schaltungen, Entwurfsautomatisierung, Dresden, M. Claus, Technische Universität Dresden, Fakultät für Elektrotechnik und Informationstechnik, Professur für Elektronische Bauelemente und Integrierte Schaltungen

Coverage Driven Verification for Mixed Signal Systems

W. Hartong, N. Luetke-Steinhorst, R. Schweiger; Cadence Design Systems, Feldkirchen

Untersuchung von Halbleiterbauelementen bei sehr hohen Umgebungstemperaturen¹

P. Borthen, G. Wachutka, Lehrstuhl für Technische Elektrophysik, Technische Universität München

Event-gesteuerte Modellierungen analoger Frontends¹

S. Joeres, Y. Wang, R. Wunderlich, S. Heinen, Lehrstuhl für Integrierte Analogschaltungen, RWTH Aachen, H.-W. Groh, Atmel Germany GmbH, Heilbronn

DFM, die neue Dimension in der physikalischen Verifikation

Holger Keller, Mentor Graphics (Deutschland) GmbH, Ratingen

Analysis of Parasitic Effects in Large Analog Circuits

U. Sobe, A. Graupner, ZMD Zentrum Mikroelektronik Dresden AG, Dresden

Constraint-Modellierung

Analog-Assertions mit Verilog-A – Beispielbibliothek und Erfahrungen in Design und Verifikation¹

S. Weber, VCAD CIC, Cadence Design Systems, Feldkirchen

Modellierung

Strategien zur Initialdimensionierung von analogen Schaltungen

V. Boos, IMMS gGmbH, Ilmenau/Erfurt

Verlässliche Modellierung integrierter analoger Schaltungen durch stückweise affine Abbildungen¹

M. Freisfeld, M. Olbrich, E. Barke, Institut für Mikroelektronische Systeme, Leibniz Universität Hannover, M. Pfof, Infineon Technologies AG, München

Topologieentwurf für analoge und mixed-signal Schaltungen

J. Kampe, FG. Elektronische Schaltungen und Systeme, Technische Universität Ilmenau

Constraint-basierte Synthese

Optimierung analoger Schaltungen mit geordneten diskret veränderlichen Parametern

M. Pehl, T. Massier, H. Gräß, Technische Universität München

Pinzuordnungs-Algorithmen für hochkomplexe Area-Array-Komponenten

T. Meister, J. Lienig, Institut für Feinwerktechnik und Elektronik-Design, Technische Universität Dresden, G. Thomke, IBM Deutschland Entwicklung GmbH, Böblingen

Test

Histogramm-Test - Untersuchungen zu Bin-Coder-Anwendungen⁶

S. Sattler, Infineon Technologies AG, Neubiberg, M. Gulbins, B. Straube, Fraunhofer-Institut für Integrierte Schaltungen - EAS Dresden

CAD- und Anwenderforum

Folgende Unternehmen präsentieren ihre Produkte und Dienstleistungen im Rahmen eines CAD- und Anwenderforums:

COVENTOR Sarl, Paris

edacentrum, Hannover

FRAUNHOFER INSTITUT für Techno- und
Wirtschaftsmathematik (ITWM), Abt.: Systemanalyse,
Prognose und Regelung, Kaiserslautern

IPGEN Rechte GmbH, Stuttgart

MENTOR GRAPHICS Deutschland GmbH, München

MUNEDA GmbH, München

SAGANTEC Netherlands B.V., Eggenfelden

Allgemeine Hinweise

Anmeldung

Die Anmeldung zur Fachtagung "ANALOG '08" erfolgt über den VDE-Konferenz Service. In der Heftmitte befindet sich ein Formular für die Anmeldung.

Unter <http://www.vde.com/konferenzen-registrierung> können Sie sich auch online anmelden.

Bei Fragen zur Anmeldung wenden Sie sich bitte an:

VDE-Konferenz-Service
Stresemannallee 15
60596 Frankfurt am Main / Deutschland

Telefon: 069 / 6308 - 229,- 477

Telefax: 069 / 96 31 52 13

e-mail: vde-conferences@vde.com

URL: <http://www.vde.com>

Teilnahmegebühren

	Anmeldung bis 09.03.2008	Anmeldung ab 10.03.2008
Nichtmitglied	€ 300,00	€ 350,00
Persönliches Mitglied*	€ 260,00	€ 310,00
Vortragender	€ 260,00	€ 310,00
Student* (ohne Tagungsband)	€ 50,00	€ 100,00
studentische Mitglieder* (ohne Tagungsband)	€ 20,00	€ 50,00

*VDE, VDI. Ermäßigung nur bei Übersendung einer Kopie des Mitglieds- bzw. Studentenausweises!

Die Tagungsgebühr beinhaltet den Tagungsband mit CD-ROM, sowie Pausengetränke, Mittagsimbiss und Abendveranstaltung.

Bezahlung der Teilnahmegebühr

Bitte überweisen Sie die Teilnahmegebühr erst nach Erhalt der Anmeldebestätigung auf das angegebene Konto. Bei der Überweisung ist unbedingt der Name des Teilnehmers und die Rechnungs-Nr. anzugeben. Sie können die Tagungsgebühr auch von Ihrem Kreditkarten-Konto abbuchen lassen. Bitte geben Sie dazu (auf dem Anmeldeformular) Ihre Kreditkarten-Informationen an.

Hinweis: Die verbindliche Reservierung für die Tagung erfolgt erst nach Eingang Ihrer Zahlung!

Teilnehmer, die sich erst vor Ort anmelden, müssen damit rechnen, dass kein Tagungsband ausgehändigt werden kann.

Stornierung

Bei Stornierung bis zum 09.03.2008 wird die Teilnahmegebühr abzüglich € 50,- für Bearbeitungskosten zurückerstattet. Bei Stornierung nach diesem Zeitpunkt kann eine Rückerstattung der Teilnahmegebühr nicht mehr vorgenommen werden. Der Tagungsband wird dann nach der Veranstaltung zugesandt. Es ist jedoch möglich, einen Ersatzteilnehmer zu benennen.

Registrierung

Sie erhalten Ihren Tagungsausweis und Ihre Tagungsunterlagen während der Veranstaltung im Tagungsbüro. Das Tagungsbüro erreichen Sie unter:
Telefon: 0171 / 46 95 118 (Dr. R. Schnabel)

Tagungsort

Haus der Siegerländer Wirtschaft
Spandauer Straße 25
57072 Siegen
Telefon: 0271 / 23 25 30

Zimmerreservierungen

Bis 15.02.008 stehen Zimmerkontingente in folgenden Hotels unter dem Stichwort „ANALOG'08“ auf Abruf für Sie zur Verfügung:

RAMADA Hotel Siegen

Kampenstraße 83, 57072 Siegen

Die Zimmerpreise betragen pro Tag inkl. Frühstücksbüffet für das Einzelzimmer € 75,00

Telefon: 0271 / 5011-0

E-Mail: siegen@ramada.de

URL: <http://www.ramada.de>

Best Western Park Hotel Siegen

Koblenzer Straße 135, 57072 Siegen

Die Zimmerpreise betragen pro Tag inkl. Frühstücksbüffet für das Einzelzimmer € 81,00, für das Doppelzimmer € 98,00

Telefon: 0271 / 33 81-0

E-Mail: info@parkhotel-siegen.bestwestern.de

URL: <http://www.parkhotel-siegen.bestwestern.de>

Informationen über Siegen

Weitere interessante Informationen über Siegen, das kulturelle Angebot und das Umland finden Sie auf der Homepage der Stadt Siegen: <http://www.siegen.de>. Dort finden Sie auch einen detaillierten Stadtplan.

Mittwoch 02.04.08

ANALOG '08

Programmschema

08:00									
08:30		08:00-09:00	Registrierung		08:30-09:00	Registrierung			08:30
09:00		09:00-09:30	Grüßworte und Tagungseröffnung		09:00-09:30	Grüßworte und Tagungseröffnung			09:00
09:30		09:30-11:05	Schaltungen und Systeme		09:00-10:35	Constraint-basierte Synthese			09:30
10:00									10:00
10:30									10:30
11:00									11:00
11:30		11:05-11:45	Getränkepause		10:35-11:45	Postersession			11:30
12:00		11:45-12:35	Verifikation und Simulation		11:45-13:00	Test			12:00
12:30									12:30
13:00		12:35-14:00	Mittagsimbiss		13:00-13:15	Preisverleihung, Schlusswort			13:00
13:30					13:15-14:15	Mittagsimbiss			13:30
14:00									14:00
14:30					14:15	Ende der Fachtagung			14:30
15:00									15:00
15:30		ab 15:00	Registrierung						15:30
16:00									16:00
16:30									16:30
17:00		16:00-18:00	Tutorials						17:00
17:30									17:30
18:00									18:00
18:30									18:30
19:00		18:00-20:00	Fachgruppensitzung		18:30	Abfahrt			19:00
19:30					19:00-23:00	Abendveranstaltung in der Krombacher Brauerei			19:30
20:00									20:00

Donnerstag 03.04.08

Freitag 04.04.08