



GMM

VDE/VDI-GESELLSCHAFT
MIKROELEKTRONIK,
MIKRO- UND FEINWERKTECHNIK



ITG

INFORMATIONSTECHNISCHE
GESELLSCHAFT IM VDE



PROGRAMM

Zuverlässigkeit und Entwurf

2. GMM/GI/ITG-Fachtagung

29. September – 1. Oktober 2008

AUDI AG, Ingolstadt



www.ZuE2008.de



VDE

Vorwort **Zuverlässigkeit und Entwurf 2008**

Die Tagung „Zuverlässigkeit und Entwurf“ (ZuE) wird 2008 in Ingolstadt mit dem besonderen Schwerpunkt auf zuverlässigen mikroelektronischen Systemen in der Automobiltechnik in Zusammenarbeit mit der Kooperationsgemeinschaft Rechnergestützter Schaltungs- und Systementwurf (RSS) durchgeführt.

Heutige integrierte Systeme können hunderte Millionen von Transistoren enthalten, bestehen aus digitalen und analogen Komponenten unterschiedlicher Technologien und eröffnen völlig neue Anwendungsfelder. Eingebettete Systeme, Ein-Chip-Systeme, Multiprozessoren und integrierte Netzwerke gehen über die Steuerung von Geräten und Anlagen, Fahrzeugen und Verkehrssystemen weit hinaus und stellen häufig besonders hohe Anforderungen an die Zuverlässigkeit. Dem steht gegenüber, dass bei weiter sinkenden Strukturgrößen in der Mikroelektronik die gefertigten elementaren Komponenten wie Transistoren und Leitungen über einen sehr großen Parameterbereich variieren werden.

Es besteht dringender Bedarf an innovativen Verfahren, um die Ausbeute und die Zuverlässigkeit von mikro- und nanoelektronischen Systemen durch Fehlertoleranz und integrierte Reparaturmechanismen zu gewährleisten und ihre Qualität durch entsprechende Entwurfs-, Verifikations- und Testverfahren sicher zu stellen. Diese Verfahren müssen sowohl Fertigungsfehler und Parameterschwankungen als auch Störungen während des Betriebs kompensieren können.

Diese Themen werden im vorliegenden Programm intensiv behandelt. Tutorials von ausgewiesenen internationalen Experten, eingeladene Vorträge aus der Industrie und Berichte aus aktuellen Forschungsarbeiten bilden insgesamt ein hochkarätiges Programm, zu dem wir Sie gerne vom 29.09. bis 01.10.2008 in Ingolstadt begrüßen würden.

Sebastian Sattler, Infineon Technologies AG, Neubiberg
Tagungsleiter

Hans-Joachim Wunderlich, Universität Stuttgart
Vorsitzender des Programmkomitees

Inhaltsverzeichnis

Veranstalter	4
Informationen zur Tagung	4
Tagungsleiter.....	4
Organisationskomitee.....	4
Programmkomitee	4
Programm zur Tagung	6
Tutorials.....	6
Eingeladene Vorträge	10
Montag, 29.09.2008	15
Dienstag, 30.09.2008	16
Mittwoch, 01.10.2008	20
Allgemeine Hinweise	23
Tagungsorganisation	23
Anmeldung	23
Teilnahmegebühren	23
Bezahlung der Teilnahmegebühr.....	24
Stornierung.....	24
Telefonische Erreichbarkeit	24
Zimmerreservierungen	25
Tagungsort	26
Anfahrt	27
Werksbesichtigung AUDI	27
Abendveranstaltung	28
Programmübersicht	31

**Veranstalter
Informationen zur Tagung**

VDE/VDI-Gesellschaft Mikroelektronik, Mikro- und Feinwerk-
technik (GMM) und

ITG (Informationstechnische Gesellschaft im VDE),

Stresemannallee 15, 60596 Frankfurt am Main
☎ +49 (0)69-6308-330 📠 +49 (0)69-6308-9828
E-Mail: gmm@vde.com
www.ZuE2008.de

**Tagungsleiter
Vorsitzender des Programmkomitees**

Sebastian Sattler, Infineon Technologies AG, Neubiberg
(Tagungsleiter)

Hans-Joachim Wunderlich, Universität Stuttgart
(Vorsitzender des Programmkomitees)

Organisationskomitee

Bernd Becker	Universität Freiburg
Oliver Bringmann	FZI, Karlsruhe
Rolf Drechsler	Universität Bremen
Kai Hahn	Universität Siegen
Lars Hedrich	Universität Frankfurt
Sybille Hellebrand	Universität Paderborn
Andreas Herkersdorf	TU München
Sorin Huss	TU Darmstadt
Ole Mende	Audi AG
Volker Schanz	ITG im VDE
Jürgen Schlöffel	Mentor Graphics
Ronald Schnabel	VDE/VDI-GMM, Frankfurt
Norbert Wehn	TU Kaiserslautern

Programmkomitee

W. Anheier	Universität Bremen
H.-J. Brand	AMD Saxony LLC & Co. KG
M. Brandstetter	Robert Bosch GmbH
R. Brück	Universität Siegen
K. Buchenrieder	Universität BW
M. Dietrich	FhG IIS/EAS Dresden
F. Dietz	Atmel Germany GmbH
S. Eichenberger	NXP Semiconductors GmbH
R. Ernst	TU Braunschweig

M. Fischer
G. Georgakos
W. Glauert
M. Goldbach
H. Gräß
C. Grimm
Th. Harriehausen
T. Hötzel
W. John
J. Kelber
W. Kunz
J. Lienig
B. Michel
W. Nebel
F. Oppenheimer
R. Pferdenges
M. Pfof
F. Pöhl
I. Polian
M. Porrman
M. Radetzki
F. Rammig
M. Reuter
A. Ripp
J. Rivoir
F. Rößler
J. Scheible
U. Schlichtmann
K. Schneider
V. Schöber
P. Schwarz
Ch. Sebeke
R. Sommer
M. Stadler
A. Steininger
B. Straube
J. Teich
R. Vahrman
H. Vierhaus
R. Wagner
T. Wilmovich
B. Wittig

Verigy Germany GmbH
Infineon Technologies AG
Universität Erlangen-Nürnberg
LTX Deutschland GmbH
TU München
TU Wien
FH Braunschweig/Wolfenbüttel
ZMD AG
FhG IZM Paderborn
Fachhochschule Schmalkalden
TU Kaiserslautern
TU Dresden
FhG IZM Berlin
OFFIS e.V.
OFFIS e.V.
Infineon Technologies AG
Infineon Technologies AG
Infineon Technologies AG
Universität Freiburg
Heinz-Nixdorf-Institut, Paderborn
Universität Stuttgart
Universität Paderborn
Mentor Graphics GmbH
MunEDA GmbH
Verigy Germany GmbH
Melexis GmbH
Robert Bosch GmbH
TU München
TU Kaiserslautern
edacentrum Hannover
FhG-IIS / EAS Dresden
Robert Bosch GmbH
TU Ilmenau
Teradyne GmbH
TU Wien
FhG-IIS / EAS Dresden
Universität Erlangen-Nürnberg
Atmel Germany GmbH
BTU Cottbus
Robert Bosch GmbH
Siemens AG
Volkswagen AG

Tutorial A

- **Statistical Screening Methods Targeting "Zero Defect" IC Quality and Reliability**

Adit SINGH (Auburn University, USA)VLSI circuits have been traditionally tested individually and independently following manufacture. However, as the detection of delay defects, and latent reliability flaws becomes ever more challenging and expensive, innovative new statistical methods are being developed to improve test effectiveness and optimize test costs in the drive towards "Zero Defect" IC quality. Such methods fall into two broad categories: those that exploit the statistics of defect distribution on wafers, and those that exploit the correlation in the variation of process and performance parameters on wafers. This embedded tutorial presents test methodologies that span both these categories, and illustrates their effectiveness with results from a number of recently published experimental studies on production circuits from IBM, Intel and LSI Logic, and NXP Semiconductor.

Tutorial B

- **Test and Reliability Challenges in MEMS-Based Systems**

Hans KERKHOFF (University of Twente, CTIT-TDT)

Microelectromechanical systems (MEMS) are getting more and more integrated in many systems, either in monolithic or SiP form. This includes sensors as well as actuators. The problem is that many different domains, as well as many different MEMS processes are being used. This results in different fault models and hence testing approaches, although functional testing is wide

spread. The latter is obviously more cumbersome than conventional electrical testing. This stimulates to investigate electrical pre-tests. The tutorial is dealing with several different domains, like optical, gas flow and fluidics. Different handlers and packaging approaches will be treated. In several cases also non-conventional ATPG and DfT will be discussed. Also applications in the health sector which have additional constraints will be treated.

Special Track: Automatic Test Equipment

- **Equipment Strategy for Robustness Validation**
Klaus LUTHER (Infineon Technologies AG)

In the light of ever shorter product cycles, increased margin pressure and device complexity producing high quality at low cost is an increasing challenge. We are at an inflection point for the automated test equipment (ATE) industry where the focus will shift from measuring good components and binning pass and fail parts to test becoming a major product differentiator. Products in latest technology nodes with several tens of million gates will not differentiate based on test cost, but on the time to yield and time to market, a production ramp up that will be facilitated by new test technologies for volume yield diagnosis. In addition, esp. in high labour cost regions like Germany and in industries such as the automotive industry, the ability to differentiate on product quality will be a differentiator of increasing significance. The ATE industry is not profitable as of today and additional productivity steps are required to fund the necessary research and development to master the above mentioned challenges. Standardization of machines, tools and methods is supposed to release resources for the new venture. The Semiconductor Test Consortium (STC) wants to propose this thought to the automotive industry and actively seeks end-customer support to steer the ATE industry in this direction.

- **Zero Cost of Data**

Martin FISCHER (Verigy Germany GmbH)

Design and layout dependent defects going along with nanometer technologies in semiconductor manufacturing drive the need for obtaining more and more information about these defects in volume manufacturing. Parametric and logic or memory test data gathered during electrical test is becoming mandatory not only for ramping and optimizing yield, but also for continuously improving design processes and libraries. Can ATE keep up with these new challenges in SOC test? How can ATE help to deliver such data without negatively impacting overall manufacturing cost and cost of test?

- **New Technologies for High Parallel RF Device Test**

Gary SHEEDY (Advantest GmbH)

The mobile communication revolution started in the 80's with transmission technology advancements in the semiconductor industry; this in turn led to the production of mobile telecommunication equipment such as the cell phone and the wireless technologies which are ubiquitous standard today. Let's take typical business travellers today, in their pockets you will find mobile phones, PDAs and Laptops each of which contains multiple radio transmission devices, with multiple RF bands and standards. All of which, devices, bands, standards, must be compliant to tight specifications and needs to be tested during production. Specifically advanced SiP and SoC technologies increasingly integrate multiple functions in one single device, e.g. single-chip mobile phones, multiband transceiver, MiMo WLAN devices. In terms of RF this basically means multiple RF transmission standards, bands and ports. The issue the semiconductor industry is confronted with in this field is that development of the ATE test technology stay behind the pace of mass production of such versatile and highly integrated RF components. Typically current test solutions causing high cost as

multisite testing is limited or multiple test insertions are needed due to restrictions of available RF resources. Today in a very competitive environment semiconductor vendors are increasingly driven by cost and performance requirements of ever more complex wireless devices. Advantest as a leader in ATE has accepted the challenge and introduced just recently the highly innovative T2000 based 12GWSGA RF test solution to tackle these issues, cost, performance and integration, head on. The T2000 based 12GWSGA RF test solution supports all wireless standards used today, such as GSM, W-CDMA, Bluetooth, WLAN, etc. and reduces cost of test due to the highest RF port and functional density available in the market today. As a result significant reduction in cost of test can be achieved without compromising test coverage. This talk will detail Advantest's innovative test solution, by reviewing this state of the art RF device test concept.

Eingeladene Vorträge

- **Strategische Überlegungen zu Halbleiterbauelementen in der Automobilelektronik**
Ole MENDE (Audi AG)
- **Robustness Validation for Automotive Products**
Andreas PREUSSGER (Infineon Technologies AG)

Integrated circuits used in automotive electronic systems are exposed to extreme environmental and operating conditions. Therefore, it is already today a must to have reliability in the order of a few parts per million (ppm) failure rates over the 10-20 year vehicle lifetime. Unfortunately, current qualification approaches are not application-specific, and only partially cover today's technology risks. Robustness Validation is the new key strategy to overcome these problems and meet the challenges. Consequently, the SAE (Society of Automotive Engineers) together with the Automotive Electronic Systems Reliability Committee has joined with the German Association of Electronics Manufacturer's (ZVEI) to develop a new approach to IC qualification. The talk will discuss this new methodology compared to the present approach, and provide more information on how Robustness Validation is used within a typical knowledge-based qualification flow during product development. The knowledge base that is needed for performing this type of qualification is finally explained as part of the process flow.

- **Statistische Timing- und Leakage-Variationen im Digitalentwurf: Modellierung und Analyse auf Gate-Level**
Harald KINZELBACH (Infineon Technologies AG)

Auf Grund der wachsenden Bedeutung von Fertigungsschwankungen in den sub-90nm Technologien wird es auch im digitalen Semi-Custom-Entwurf immer wichtiger, den Einfluss von Prozessvariationen auf das Verhalten der Schaltungen möglichst zuverlässig berücksichtigen zu können. Die im traditionellen Entwurfsprozess verbreitete Analyse konservativer Extremfälle und Sicherheitsbänder führt allerdings auf Grund ihrer unvermeidlich pessimistischen Grundannahmen in diesen Technologien rasch zu kaum noch erfüllbaren Entwurfsanforderungen, so dass hier zunehmend genauere, statistikbasierte Verfahren benötigt werden, um den tatsächlich zu erwartenden Einfluss der Schwankungen auf die Schaltungszuverlässigkeit und Produktionsausbeute realistisch abschätzen zu können. Beispielhaft für ein solches Verfahren auf "Gate-Level" ist die 'Statistische Statische Timing-Analyse' (SSTA), lange Zeit eines der dominanten Themen auf den großen EDA Konferenzen. Es deutet sich aber an, dass die Notwendigkeit wächst, auch für unkontrollierbare Schwankungen anderer relevanter Kenngrößen, wie etwa der Verlustleistung, Verfahren zur effizienten Modellierung und Analyse komplexer Designs bereitzustellen. Der Beitrag gibt einen kurzen Überblick über die neuen Herausforderungen und diskutiert erste Einsichten und Lösungsansätze, die sich aus Untersuchungen realer Digitalschaltungsbeispiele abzeichnen.

- **Zero Defect: Anforderungen an Prozesse und IT Systeme**

Ralf MONTINO (Elmos Central IT Services GmbH)

Für eine erfolgreiche Zero Defect Strategie in der Elektronikindustrie stehen robustes Design, stabile Fertigung und sehr gute Teststrategien im Fokus der Betrachtung. Zweifellos sind diese Voraussetzungen notwendig, um die geforderte Zuverlässigkeit zu erreichen. Allerdings sind diese nicht hinreichend. Neben den genannten Punkten ist eine vollständige Überwachung und Regelung der gesamten Prozesse und insbesondere jeglicher Ausnahmefälle unabdingbar. Angesichts der Vielzahl der Schritte, der großen Datenvolumina und der hohen geforderten Qualität ist dieses nur mit einer weitgehenden datentechnischen Abbildung der gesamten Prozesskette in Verbindung mit entsprechender Industrialisierung und Automatisierung darstellbar.

- **Design Quality in the Development of Automotive Smart Power ICs**

Georg PELZ (Infineon Technologies AG)

To develop microelectronic products with automotive quality, many measures have been taken at Infineon in the past. Some of them are related to the fabrication process. Others are related to the circuit design process and the connected pre-and post-silicon verification. This paper discusses some of these design and verification measures and especially focuses on: top-down design flow, application-based verification and verification space exploration. All this is shown for the development of a power bridge of a throttle system.

- **Selbstkalibrierende Systeme: Zuverlässigkeit in der Hochgeschwindigkeits-Datenübertragung**

Andreas GÄRTNER (Qimonda AG)

Datenübertragung mit hoher Geschwindigkeit ist von zentraler Bedeutung in vielen heutigen und zukünftigen Anwendungen. Insbesondere die breitbandige Anbindung von DRAM Speichereinheiten an die Zentraleinheit eines Computersystems stellt höchste Anforderungen an Signal-Integrität und Timing, damit eine zuverlässige Funktion des Systems sichergestellt ist. Im Rahmen dieses Vortrags wird anhand des Speicherstandards DDR3 dargelegt, wie Gesamt-Datentransferraten jenseits 100Gb/s in Standard-Computersystemen erreicht werden können. Eine zentrale Voraussetzung für den zuverlässigen Betrieb derartiger Computer stellen Methoden zur Selbstkalibrierung des Arbeitsspeichersystems dar, die sowohl beim Systemstart als auch im laufenden Betrieb ausgeführt werden. Der Einsatz von selbstkalibrierenden Systemen ist in einer Vielzahl von Anwendungen denkbar, um Effizienz im Systemdesign mit hoher Zuverlässigkeit im Betrieb zu verbinden.

- **Dealing with soft errors in nanometric CMOS**

Michael NICOLAIDIS (TIMA laboratory, CNRS, INPG, UJF)

Soft-errors have become a major reliability threat in advanced CMOS technologies. In this talk we present basic mechanisms and classification of soft-errors, practical examples of systems impacted by this issue, soft error trends from 180nm to 45nm process nodes, techniques for circuit qualification including accelerated radiation testing, real time testing, and simulations approaches, and state-of-the-art, cost-effective soft error mitigation techniques.

- **Robust-By-Design-Paradigmenwechsel in der Produktentwicklung?**

Hans-Jürgen BRAND (AMD Saxony LLC & Co. KG)

Die Innovationskraft der Nanoelektronik ermöglicht die Entwicklung von Produkten und Systemen mit kaum vorstellbarer Komplexität. Welche Funktionalität verbirgt sich hinter mehreren Milliarden Transistoren, die schon heute auf einem Chip integriert werden können? Um wie viel komplexer ist ein System, das aus mehreren solcher Chips, SiP (System-in-Package), MCM's (Multi-Chip-Modules), anderen Hardware-Komponenten und ganzen Software-Paketen besteht? Wie kann man sicherstellen, dass solche Systeme im tagtäglichen Gebrauch jederzeit und unter allen Rahmenbedingungen – auch unerwarteten und nicht vorhersehbaren – ihre Funktion erfüllen, d.h. dass sie robust sind? Was verstehen wir unter einem robusten System? Wie nutzen wir die Möglichkeiten der zukünftigen Fertigungstechnologien in 32 und 22 nm und entwickeln, fertigen und testen neue Produkte? Der Vortrag setzt sich mit den oben genannten Fragestellungen auseinander und zeigt die Herausforderungen bei der Entwicklung robuster Produkte in der Wertschöpfungskette vom Chip-Design über den Fertigungsprozess bis hin zur Anwendung am Beispiel von Mikroprozessor-Plattformen.

Montag, 29. September 2008

14:00-18:00 Tutorials

14:00-18:00 Tutorial A

- Statistical Screening Methods Targeting "Zero Defect" IC Quality and Reliability
Adit SINGH (Auburn University – USA)

14:00-18:00 Tutorial B

- Test and Reliability Challenges in MEMs-Based Systems
Hans KERKHOFF (University of Twente CTIT-TDT - Niederlande)

14:00-18:00 Special Track: Automatisches Test Equipment

Moderatoren: Hans Manhaeve QStar, Belgien;
Walter Anheier, Universität Bremen

Eingeladene Vorträge:

- **Equipment Strategy for Robustness Validation**
Klaus LUTHER (Infineon Technologies AG)
- **Zero Cost of Data**
Martin FISCHER (Verigy Germany GmbH)
- **New Technologies for High Parallel RF Device Test**
Gary SHEEDY (Advantest GmbH)

Dienstag, 30. September 2008

08:00-08:30 Registrierung

08:30-10:30 Sitzung 1: Eröffnung

Moderatoren: Norbert Wehn (Universität Kaiserslautern), Sybille Hellebrand (Universität Paderborn)

- **Begrüßung**
Sebastian Sattler (Infineon Technologies AG)
- **Einführung in das Programm**
Hans-Joachim Wunderlich (Universität Stuttgart);
Ronald Schnabel (GMM Frankfurt)
- **Best Paper Award der „Zuverlässigkeit und Entwurf 2007“**
Präsentation: Hans-Joachim Wunderlich (Universität Stuttgart); Ronald Schnabel (GMM Frankfurt)

Keynote:

- **Strategische Überlegungen zu Halbleiterbauelementen in der Automobilelektronik**
Ole MENDE (Audi AG)

Eingeladener Vortrag:

- **Robustness Validation for Automotive Products**
Andreas PREUSSGER (Infineon Technologies AG)

10:30-11:15 Kaffeepause und Postersitzung

Moderatoren: Bernd Becker (Universität Freiburg), Heinrich Theodor Vierhaus (BTU Cottbus)

- **Abschätzung von Bauelemente-Lebensdauer und SOA-Grenzen zur Unterstützung des Entwurfs zuverlässiger Schaltungen**
Roland JANCKE (Fraunhofer IIS EAS), Ronny FREVERT (ZMD AG), Christoph ELLMERS (X-FAB), Roberto GAERTNER (X-FAB)

- **Auswirkungen von Toleranzen der Aufbau- und Verbindungstechnik auf das elektrische Verhalten integrierter HF-Komponenten**
Uwe MAAß (Fraunhofer IZM), Florian OHNIMUS (Fraunhofer IZM)
- **Comparing two generic waveforms - a trivial task?**
Ole OHLENDORF (Universität Hannover), Sebastian STEINHORST (Universität Frankfurt/M.), Walter HARTONG (Cadence Design Systems GmbH), Lars HEDRICH (Universität Frankfurt/M.)
- **Diagnose realistischer Defekte mit Hilfe des X-Fehlermodells**
Ilija POLIAN (Universität Freiburg), Yusuke NAKAMURA (Kyushu Institute of Technology), Piet ENGELKE (Universität Freiburg), Stefan SPINNER (Universität Freiburg), Kohei MIYASE (Kyushu Institute of Technology), Seiji KAJIHARA (Kyushu Institute of Technology)
- **Fehlertolerante integrierte Verbindungsstrukturen**
Daniel SCHEIT (BTU Cottbus), Heinrich VIERHAUS (BTU Cottbus)
- **Formale Verifikation eines komplexen seriellen Kommunikationsprotokolls – „Lessons Learned“ am Beispiel einer FlexRay-IP-Verifikation**
Thorsten KIMMESKAMP (Universität Duisburg-Essen), Markus JOCHIM (Universität Duisburg-Essen), Johannes FORMANN (Universität Duisburg-Essen), Klaus ECHTLE (Universität Duisburg-Essen), Slava BULACH (Robert Bosch GmbH), Katharina WEINBERGER (Robert Bosch GmbH)
- **Simulation analoger Schaltungen mit affiner Arithmetik**
Darius GRABOWSKI (Leibniz Universität Hannover), Markus OLBRICH (Leibniz Universität Hannover), Erich BARKE (Leibniz Universität Hannover)

- **Verification of Safe Operating Areas (SOA) Constrains in Analog Circuits**
Achim GRAUPNER (ZMD AG), Udo SOBE (ZMD AG), Karl-Heinz ROOCH (ZMD AG), Dietmar MÖRTL (ZMD AG), Andre LERCH (X-Fab Dresden GmbH & Co. KG)

11:15-11:45 Eingeladener Vortrag

- **Self-Calibration: Reliability in High-Speed Data Communication**
Andreas GÄRTNER (Qimonda AG)

11:45-12:45 Sitzung 2: Test und Zuverlässigkeit analoger und Mixed-Signal-Schaltungen

Moderatoren: Michael Pronath (Muneda GmbH), Uwe Vogel (FhG IPMS, Dresden)

- **Model-based Testing and Diagnosis for Mixed-signal Systems-in-Package**
Reik MÜLLER (Technische Universität Dresden), Carsten WEGENER (Infineon Technologies AG), Hans-Joachim JENTSCHEL (Technische Universität Dresden), Sebastian SATTLER (Infineon Technologies AG)
- **Automatischer Abgleich von Leistungskopplern**
Gürkan UYGUR (Universität Erlangen-Nürnberg), Klaus HELMREICH (Universität Erlangen-Nürnberg)
- **Test von Anlogschaltungen mit Versorgungsspannungstransiente**
Marc ARABACKYJ (LRS, Universität Erlangen-Nürnberg)

12:45-14:15 Mittagspause

14:15-15:00 Eingeladener Vortrag

Moderator: Reinhold Vahrmann (Atmel Germany GmbH)

- **Robust-By-Design - Paradigmenwechsel in der Produktentwicklung?**
Hans-Jürgen BRAND (AMD Saxony LLC & Co. KG)

15:00-16:00 Sitzung 3: Speicher und Selbstreparatur

Moderatoren: Hans-Joachim Jentschel (TU Dresden), Bernd Koenemann (Universität Bremen)

- **Entwurfsregeln für integrierte SRAM Speicher zur Unterdrückung von Multi-Bit Fehlern in sub-100nm CMOS Technologien**
Georg GEORGAKOS (Infineon Technologies AG)
- **Modularer Selbsttest und optimierte Reparaturanalyse für eingebettete Speicher**
Philipp ÖHLER (Universität Paderborn), Alberto BOSIO (LIRMM, Universität Montpellier), Giorgio DI NATALE (LIRMM, Universität Montpellier), Sybille HELLEBRAND (Universität Paderborn)
- **Möglichkeiten und Grenzen der Selbstreparatur für Logik**
Heinrich VIERHAUS (BTU Cottbus), Tobias KOAL (BTU Cottbus), Daniel SCHEIT (BTU Cottbus)

16:00-18:45 Werksbesichtigung AUDI

19:30 Abendveranstaltung

Mittwoch, 01. Oktober 2008

08:30-09:15 Eingeladener Vortrag

Moderator: Yiannos Manoli (Universität Freiburg)

- **Dealing with soft errors in nanometric CMOS**
Michael NICOLAIDIS (TIMA laboratory, CNRS, INPG, UJF)

09:15-10:15 Sitzung 4: Verifikation und Modellierung von Zuverlässigkeit und Fehlertoleranz

Moderatoren: Wolfgang Kunz (TU Kaiserslautern), Bernd Straube (FhG Dresden)

- **Analyse selbstprüfender Schaltungen – Nachweis von Fehlersicherheit und Selbsttestbarkeit mit ATPG**
Marc HUNGER (Universität Paderborn), Sybille HELLEBRAND (Universität Paderborn)
- **Formaler Nachweis der Fehlertoleranz von Schaltkreisen**
Görschwin FEY (Universität Bremen), Andre SÜLFLOW (Universität Bremen), Stefan FREHSE (Universität Bremen), Ulrich KÜHNE (Universität Bremen), Rolf DRECHSLER (Universität Bremen)
- **Zur Zuverlässigkeitsmodellierung von Hardware-Software-Systemen**
Michael KOCHTE (Universität Stuttgart), Rafal BARANOWSKI (Universität Stuttgart), Hans-Joachim WUNDERLICH (Universität Stuttgart)

10:15-11:00 Kaffeepause

11:00-11:30 Eingeladener Vortrag

- **Statistische Timing- und Leakage-Variationen im Digitalentwurf: Modellierung und Analyse auf ‚Gate-Level‘**
Harald KINZELBACH (Infineon Technologies AG)

11:30-12:30 Sitzung 5: Variationen und Fehlertoleranz

Moderatoren: Herbert Reichl (FhG IZM Berlin), Andreas Steininger (TU Wien)

- **Accurate approximation to the probability of critical performance**
Christoph SOHRMANN (Fraunhofer IIS/EAS), Lutz MUCHE (Fraunhofer IIS/EAS), Joachim HAASE (Fraunhofer IIS/EAS)
- **Fehlertoleranz in Networks-on-Chip mit Deflection Routing**
Martin RADETZKI (Universität Stuttgart)
- **Erkennung von transienten Fehlern in Schaltungen mit reduzierter Verlustleistung**
Michael IMHOF (Universität Stuttgart), Hans-Joachim WUNDERLICH (Universität Stuttgart), Christian ZÖLLIN (Universität Stuttgart)

12:30-14:00 Mittagspause

14:00-15:00 Sitzung 6: Entwurfsprozess und Entwurfsfluss

Moderatoren: Markus Brandstetter (Robert Bosch GmbH), Frank Oppenheimer (OFFIS e.V.)

Eingeladene Vorträge:

- **Zero Defect: Anforderungen an Prozesse und IT Systeme**
Ralf MONTINO (Elmos AG)
- **Design Quality in the Development of Automotive Smart Power ICs**
Georg PELZ (Infineon Technologies AG)

15:00-15:30 Kaffeepause

15:30-16:30 Sitzung 7: Ausbeute und Verdrahtung

Moderatoren: Frank Slomka (Universität Ulm), Robert Weigel (Universität Erlangen-Nürnberg)

- **Redundanz in Repeaternetzwerken auf ULSI Chips zur Erhöhung der funktionalen und parametrischen Ausbeute**
Philipp PANITZ (Leibniz Universität Hannover),
Markus OLBRICH (Leibniz Universität Hannover),
Erich BARKE (Leibniz Universität Hannover),
Markus BÜHLER (IBM Deutschland Entwicklung GmbH),
Jürgen KOEHL (IBM Deutschland Entwicklung GmbH)
- **Quantitative Assessment of Wiring Layout Quality**
Hanno MELZNER (Infineon Technologies AG),
Guntram MÜLLER-L. (Infineon Technologies AG)
- **Yield Optimization to Gain Reliable and Area Efficient Data-Converters using Nonideal Nanoscale Processes**
Martin KOSAKOWSKI (Nokia GmbH), Reimund WITTMANN (IP GEN Rechte GmbH),
Werner SCHARDEIN (Dortmund University of Applied Sciences and ArtsDes AG)

16:30 Schlusswort

Aus den eingereichten Beiträgen der ZuE 2008 wird mittels eines Begutachtungsprozesses ein Best-Paper-Award verliehen. Die öffentliche Preisverleihung erfolgt auf der ZuE 2009.

Allgemeine Hinweise

Tagungsorganisation (Anmeldung)

Bei Fragen zur Anmeldung wenden Sie sich bitte an:

VDE-Konferenz Service
Stresemannallee 15
60596 Frankfurt am Main
Telefon: 069 / 6308 – 229,- 477
Telefax: 069 / 9631 5213
E-Mail: vde-conferences@vde.com
URL: www.vde.com

Anmeldung

Die Anmeldung zur Fachtagung „Zuverlässigkeit und Entwurf“ erfolgt über den VDE-Konferenz Service. In der Heftmitte befindet sich ein Formular für die Anmeldung. Die Reservierung erfolgt in der Reihenfolge der Anmeldungen und erst nach vollständiger Bezahlung des Tagungsbeitrags.

Unter www.ZuE2008.de können Sie sich auch online anmelden.

Sie erhalten Ihren Tagungsausweis und Ihre Tagungsunterlagen im Tagungsbüro vor Ort vor Beginn der Veranstaltung

Teilnahmegebühren

	Anmeldung bis 29.08.2008	Anmeldung nach dem 29.08.2008
Nichtmitglied	€ 500,00	€ 550,00
Persönliches Mitglied *	€ 450,00	€ 500,00
Hochschulangehöriger *	€ 400,00	€ 450,00
Vortragender	€ 400,00	€ 450,00
Student* (ohne Tagungsband)	€ 50,00	€ 80,00

* Ermäßigung nur bei Übersendung einer Kopie des VDE/ VDI-Mitgliedsausweises bzw. des Studentenausweises!

Die Tagungsgebühr beinhaltet den Tagungsband inkl. CD-ROM, Pausengetränke, Mittagsimbiss und Abendveranstaltung.

Bezahlung der Teilnahmegebühr

Bitte überweisen Sie die Teilnahmegebühr erst nach Erhalt der Anmeldebestätigung auf das angegebene Konto. Bei der Überweisung ist unbedingt der Name des Teilnehmers und die Rechnungs-Nr. anzugeben. Sie können die Tagungsgebühr auch von Ihrem Kreditkarten-Konto abbuchen lassen. Bitte geben Sie dazu (auf dem Anmeldeformular) die Kreditkarten-Informationen an.

Bei kurzfristigen Anmeldungen bitten wir, die Teilnahmegebühr in bar oder per Kreditkarte im Tagungsbüro am Veranstaltungsort zu entrichten. Teilnehmer, die sich erst vor Ort anmelden, müssen damit rechnen, dass kein Tagungsband ausgehändigt werden kann.

Bei Anmeldungen aus dem Ausland kann die Zahlung nur mit Kreditkarte erfolgen.

Hinweis: Die verbindliche Reservierung für die Tagung erfolgt erst nach Eingang Ihrer Zahlung.

Stornierung

Bei Stornierung bis zum 12.09.2008 (Datum des Poststempels) wird die Teilnahmegebühr abzüglich € 50,- für Bearbeitungskosten zurückerstattet; bei Stornierung nach diesem Zeitpunkt kann eine Rückerstattung der Teilnahmegebühr nicht mehr vorgenommen werden. Der Tagungsband wird dann nach der Veranstaltung zugesandt. Es ist jedoch möglich, einen Ersatzteilnehmer zu benennen.

Telefonische Erreichbarkeit während der Tagung

Ab 29.09.2008 befindet sich das Tagungsbüro im AUDI Konferenz Center. Das Tagungsbüro erreichen Sie unter:

Telefon: 0171 / 46 95 118 (Dr. R. Schnabel)

Zimmerreservierungen

In den nachstehenden Hotels stehen Zimmerkontingente auf Abruf zur Verfügung. Bitte reservieren Sie Ihr Hotelzimmer unter dem Stichwort „ZuE 2008“:

Hotel NH Ambassador Ingolstadt

*Goethestraße 153
85055 Ingolstadt*

Telefon: 0841 / 5 03-0

Telefax: 0841/503-7

e-Mail: nhambassadoringolstadt@nh-hotels.com

Der Preis für das Einzelzimmer inklusive Frühstück beträgt pro Zimmer/Nacht 104,00 €. Kontingentverfügbarkeit bis 29.08.2008

ARA-Hotel Comfort

*Theodor-Heuss-Str. 30
85055 Ingolstadt*

Telefon: 0841/95 55-0

Telefax: 0841/95 55-100

e-Mail: info@ara-hotel.de

URL: www.ara-hotel.de

Der Preis für das Einzelzimmer inklusive Frühstück beträgt pro Zimmer/Nacht 140,00 €. Kontingentverfügbarkeit bis 29.08.2008

Kult-Hotel

*Theodor-Heuss-Str. 25
85055 Ingolstadt*

Telefon: 0841/95 10-0

Telefax: 0841/95 10-100

E-Mail: info@kult-hotel.de

URL: www.kult-hotel.de

Der Preis für das Einzelzimmer inklusive Frühstück beträgt pro Zimmer/Nacht 139,00 €. Kontingentverfügbarkeit bis 29.08.2008

Parkhotel Heidehof

Ingolstädter Str. 121
85080 Gaimersheim

Telefon: 08458/64-0
Telefax: 08458/64-230
E-Mail: info@Heidehof-Ingolstadt.de
URL: www.Heidehof-Ingolstadt.de

Der Preis für das Einzelzimmer in der Economy Class inklusive Frühstück beträgt pro Zimmer/Nacht 89,50 €, in der Business Class 123,00 €. Kontingentverfügbarkeit bis 04.08.2008

Tagungsort

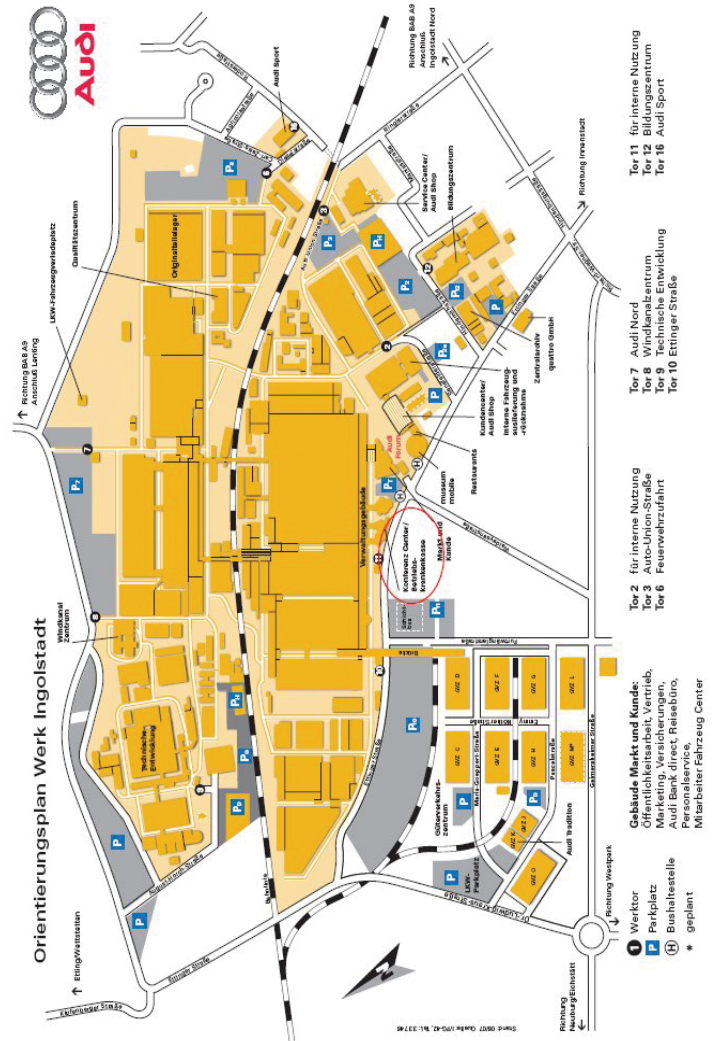
AUDI AG
Konferenz Center
Ettinger Straße
85045 Ingolstadt
Gebäude A60
Konferenz Center, 1. OG
Telefon: 0841 89 32273 (Frau Werner)

Zugangsmöglichkeit:

Haupteingang Ettinger Straße zwischen Audi Forum und Tor 11

Parkmöglichkeiten:

Am Kundencenter/ Audi Shop unweit des Audi Forums. Die Parkplätze sind für die Tagungsteilnehmer kostenfrei.



Werksbesichtigung AUDI

Die AUDI AG lädt uns am 30. September ab 16:00 Uhr zur Besichtigung der AUDI Elektronik Entwicklung ein.

Dr. Willibert Schleuter, Leiter der Entwicklung Elektrik/Elektronik, wird zu Beginn einen Übersichtsvortrag halten. Anschließend besteht die Möglichkeit, an fünf ausgewählten Positionen Einblicke in die Entwicklung zu erhalten. Experten von AUDI werden Kurzvorträge geben und stehen für Fragen zur Verfügung.

Gegen 16:00 Uhr werden die Tagungsteilnehmer per Bus am AUDI Konferenz Center abgeholt. Ende der Tour ist gegen 19:00 Uhr. Es erfolgt der direkte Transfer per Bus zur Abendveranstaltung.

Auf Grund strenger Sicherheitsbestimmungen im Audi-Werk müssen Fotoapparate, Digitalkameras und Handys am Werkstor abgegeben werden. Weiterhin muss eine Vertraulichkeitsvereinbarung unterzeichnet werden.

Abendveranstaltung

Am 30. September 2008 findet ab 19:30 Uhr die Abendveranstaltung der Fachtagung „Zuverlässigkeit und Entwurf“ statt. Es ist ein Bus vorgesehen, der direkt nach der Werksbesichtigung bei AUDI zur Schanzer Rutschn fährt. Ende der Abendveranstaltung ist gegen 23:30 Uhr.

Adresse:

Schanzer Rutschn
Kanalstr. 1a
85049 Ingolstadt
Tel.: 0841 / 3791 733
www.schanzer-rutschn.de

Notizen:

Notizen:

Montag 29.09.08

08:00	
08:30	
09:00	
09:30	
10:00	
10:30	
11:00	
11:30	
12:00	
12:30	
13:00	
13:30	
14:00	
14:30	
15:00	
15:30	
16:00	
16:30	
17:00	
17:30	
18:00	
18:30	
19:00	
19:30	

ZuE 2008

ab 13:00	Registrierung
14:00-18:00	Tutorien

Dienstag 30.09.08

08:00-08:30	Registrierung
08:30-10:30	Sitzung 1: Eröffnung Keynote AUDI Eingeladener Vortrag
10:30-11:15	Kaffeepause und Postersession
11:15-11:45	Eingeladener Vortrag
11:45-12:45	Sitzung 2: Test und Zuverlässigkeit
12:45-14:15	Mittagspause
14:15-15:00	Eingeladener Vortrag
15:00-16:00	Sitzung 3: Speicher und Selbstreparatur
16:00-18:45	Werksbesichtigung AUDI
19:30	Abendveranstaltung

Mittwoch 01.10.08

08:30-09:15	Eingeladener Vortrag
09:15-10:15	Sitzung 4: Verifikation und Modellierung
10:15-11:00	Kaffeepause
11:00-11:30	Eingeladener Vortrag
11:30-12:30	Sitzung 5: Variationen und Fehlertoleranz
12:30-14:00	Mittagspause
14:00-15:00	Sitzung 6: Entwurfsprozess und Entwurfsfluss
15:00-15:30	Kaffeepause
15:30-16:30	Sitzung 7: Ausbeute und Verdrahtung
16:30	Schlusswort
17:00	
17:30	
18:00	
18:30	
19:00	
19:30	
20:00	

Wir danken nachstehenden Unternehmen und Institutionen für die Unterstützung unserer Veranstaltung



Universität Stuttgart